

C2-7/3

ELECTRIC CIRCUIT DEVICE HAVING PHASE CONTROL CIRCUIT

Patent numbers: JP60256227
Publication date: 1985-12-17
Inventor: ROEROFU FURIKEN; EDMONDO DE NIITO;
 ARUBERUTO MARIA ARUNORUDO RIEI
Applicant: PHILIPS NV
Classification:
 - international: H03K5/26; H03L7/08
 - european: H03L7/085; H03L7/089
Application number: JP19850108455 19850522
Priority number(s): NL19840001629 19840522

Also published as:

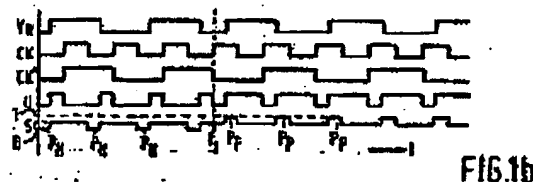
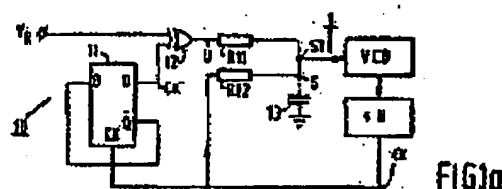
EP0164785 (A)
 US4689577 (A)
 NL8401629 (A)
 EP0164785 (B)

Report a data error here

Abstract not available for JP60256227

Abstract of corresponding document: US4689577

In an arrangement comprising a phase control circuit the phase comparator, when receiving input pulses with which the clock pulses are in phase, will produce an output signal having a pulse frequency which is twice the pulse frequency of the input pulses. The ripple on the control-voltage for the oscillator to be controlled resulting therefrom is compensated for by adding to the output signal of the phase detector a signal which is opposite in phase to the output signal. The result is that only frequency- and phase errors produce a ripple (change) on the output signal.



Data supplied from the esp@cenet database - Worldwide

C2-1/3

⑩ 日本国特許庁(JP)

⑩ 特許出願公開

⑩ 公開特許公報(A)

昭60-256227

⑨ Int. Cl.

識別記号

庁内整理番号

⑨ 公開 昭和60年(1985)12月17日

H 03 L 7/08
H 03 K 5/26A-6964-5J
7259-5J

審査請求 未請求 発明の数 2 (全8頁)

⑨ 発明の名称 位相制御回路を具える電気回路装置

⑨ 特 願 昭60-108455

⑨ 出 願 昭60(1985)5月22日

優先権主張 ⑨1984年5月22日⑨オランダ(NL)⑨8401629

⑨ 発 明 者 ロエロフ・フリーケン オランダ国5621 ベーアー アインドーフエン フルーネ
ヴァウツウエツハ1⑨ 発 明 者 エドモンド・デ・ニー オランダ国5621 ベーアー アインドーフエン フルーネ
ト ヴァウツウエツハ1⑨ 出 願 人 エヌ・ペー・フィリツ オランダ国5621 ベーアー アインドーフエン フルーネ
ブス・フルーイランベ
ンフアブリケン

⑨ 代 理 人 弁理士 杉村 曉秀 外1名

最終頁に続く

明 細 書

1. 発明の名称 位相制御回路を具える電気回路装置

2. 特許請求の範囲

1. 少なくとも1つの電圧制御発振器と位相比較器とを有する位相制御回路を具える電気回路装置であつて、前記の発振器の出力端子は前記の位相比較器のクロック入力端子に少なくとも間接的に接続されて発振器によつて生ぜしめたクロックパルスがこのクロック入力端子に供給されるようになっており、前記の位相比較器には入力パルスを受ける他の入力端子が設けられており、電圧制御発振器に対する制御信号が前記の位相比較器により前記のクロックパルスおよび入力パルスから形成されるようになっていゝる電気回路装置において、前記の位相比較器がD型フリップフロップと、パルス遅延素子と、排他的ORゲートとを具えており、前記のパルス遅延素子の遅延時間はクロック周期の約半分に等しく、前記排他

的ORゲートの第1および第2入力端子は前記パルス遅延素子の出力端子および前記D型フリップフロップの出力端子にそれぞれ接続されており、クロックパルスはD型フリップフロップのクロック入力端子に供給され、入力パルスは前記パルス遅延素子とD型フリップフロップのD入力端子との双方に供給され、前記排他的ORゲートの出力端子は合成回路の1つの入力端子に接続され、この合成回路はその他の1つの入力端子でクロックパルスを受けて第1および第2出力信号を形成し、これら第1および第2出力信号の論理値はクロックパルスと入力パルスとが同相である場合にそれぞれ反対であり、クロックパルスが入力パルスに対して進んでいるか或いは遅れている場合には前記の第1および第2出力信号がそれぞれパルスの同じ相1および第2状態を有するようになっていゝることを特徴とする位相制御回路を具える電気回路装置。

△ 特許請求の範囲第1項に記載の位相制御回路を具える電気回路装置において、前記の排他的ORゲートを第1排他的ORゲートとした場合に前記の合成回路網が第2排他的ORゲートと反転ゲートとを具えており、第2排他的ORゲートの入力端子は第1排他的ORゲートの出力端子に接続され、第2排他的ORゲートの他の1つの入力端子がクロックパルスを受け、これらクロックパルスは反転ゲートにも供給され、第1および第2出力信号が第2排他的ORゲートおよび反転ゲートの出力端子に得られるようになっていることを特徴とする位相制御回路を具える電気回路装置。

△ 特許請求の範囲第1項に記載の位相制御回路を具える電気回路装置において、前記の合成回路網が反転ANDゲートと、他のANDゲートと、反転ゲートとを具えており、これら3つのANDゲートの第1入力端子が前記の排他的ORゲートの出力端子に接続されて

おり、前記の反転ANDゲートおよび前記のANDゲートの第2入力端子がそれぞれ直接および前記の反転ゲートを経てクロックパルスを受け、前記の第1および第2出力信号が前記の反転ANDゲートおよび前記のANDゲートの出力端子に得られるようになっていることを特徴とする位相制御回路を具える電気回路装置。

△ 特許請求の範囲第1項に記載の位相制御回路を具える電気回路装置において、前記の合成回路網が反転ANDゲートと、反転ORゲートと、反転ゲートとを具え、前記の排他的ORゲートの出力端子が前記の反転ANDゲートおよび反転ORゲートの1つの入力端子にそれぞれ直接および前記の反転ゲートを経て接続されており、反転ANDゲートおよび反転ORゲートの他の1つの入力端子がクロックパルスを受け、前記の第1および第2出力信号が前記の反転ANDゲートおよび反転ORゲートの出力端子に得られるようになつ

ていることを特徴とする位相制御回路を具える電気回路装置。

△ 特許請求の範囲第1〜4項のいずれか1つに記載の位相制御回路を具える電気回路装置において、前記の第1および第2出力信号が2つの抵抗を経て、制御信号が得られる接続点に供給されるようになっていることを特徴とする位相制御回路を具える電気回路装置。

△ 特許請求の範囲第5または6項に記載の位相制御回路を具える電気回路装置において、前記の第1および第2出力信号によりそれぞれ第1および第2電流源が制御され、制御電圧が得られるコンデンサをそれぞれ充電および放電させるようになっていることを特徴とする位相制御回路を具える電気回路装置。

△ 少なくとも1つの電圧制御増幅器と位相比較器とを有する位相制御回路を具える電気回路装置であつて、前記の増幅器の出力端子は前記の位相比較器のクロック入力端子に少なくとも間接的に接続されて発振器によつて生ぜし

めたクロックパルスがこのクロック入力端子に供給されるようになつており、前記の位相比較器には入力パルスを受ける他の入力端子が設けられており、電圧制御増幅器に対する制御信号が前記の位相比較器により前記のクロックパルスおよび入力パルスから形成され、この制御信号は電圧制御増幅器の周波数が正しい時に一定電圧であり、入力パルスが規則的な周期信号を構成している電気回路装置において、前記の位相比較器がD型フリップフロップと排他的ORゲートとを具えており、前記のD型フリップフロップのクロック入力端子にクロックパルスが供給され、このD型フリップフロップの出力端子は反転出力信号 \bar{Q} に対してD入力端子に、出力信号Qに対して前記の排他的ORゲートの第1入力端子に接続され、この排他的ORゲートの第2入力端子は入力パルスを受け、この排他的ORゲートの出力端子およびクロックパルスに対する入力端子にそれぞれ第1および第2出力信号が得

られ、これら第1および第2出力信号の論理値はクロックパルスと入力パルスとが同相である場合に反対であり、クロックパルスが入力パルスに対して進んでいるか或いは遅れている場合にこれら第1および第2出力信号がそれぞれパルスの同じ第1および第2論理値を有するようになっていたことを特徴とする位相制御回路を具える電気回路装置。

本発明の請求の範囲第1項に記載の位相制御回路を具える電気回路装置において、前記の第1および第2出力信号が2つの抵抗を介して、制御信号が得られる接続点に供給されるようになっていたことを特徴とする位相制御回路を具える電気回路装置。

本発明の詳細な説明

本発明は、少なくとも1つの電圧制御発振器と位相比較器とを有する位相制御回路を具える電気回路装置であつて、前記の発振器の出力端子は前記の位相比較器のクロック入力端子に少なくとも間接的に接続されて発振器によつて生ぜしめたクロッ

クパルスがこのクロック入力端子に供給されるようになっており、前記の位相比較器には入力パルスを受ける他の入力端子が設けられており、電圧制御発振器に対する制御信号が前記の位相比較器により前記のクロックパルスおよび入力パルスから形成されるようになっていた電気回路装置に関するものである。

このような電気回路装置は1983年8月28日に公告された英国特許出願第2,089,601号明細書に記載されており既知である。この英国特許出願明細書に開示されている電気回路装置はその特許上、たとえクロック信号と受信すべきデータ信号とが同相であつてもリアルの無い直流電圧を生ぜしめることができない。従つて、直流電圧信号により制御される発振器はある程度の不所望なドリフトを生ずる周波数を生じる。

本発明の目的は、クロック信号とデータ信号とが同相である場合にリアルの無い制御電圧を生じる位相制御回路を具える電気回路装置を提供せんとするにある。

本発明は、少なくとも1つの電圧制御発振器と位相比較器とを有する位相制御回路を具える電気回路装置であつて、前記の発振器の出力端子は前記の位相比較器のクロック入力端子に少なくとも間接的に接続されて発振器によつて生ぜしめたクロックパルスがこのクロック入力端子に供給されるようになっており、前記の位相比較器には入力パルスを受ける他の入力端子が設けられており、電圧制御発振器に対する制御信号が前記の位相比較器により前記のクロックパルスおよび入力パルスから形成されるようになっていた電気回路装置において、前記の位相比較器がD型フリップフロップと、パルス遅延素子と、排他的ORゲートとを具えており、前記のパルス遅延素子の遅延時間はクロック周期の約半分に等しく、前記排他的ORゲートの第1および第2入力端子は前記パルス遅延素子の出力端子および前記D型フリップフロップの出力端子にそれぞれ接続されており、クロックパルスはD型フリップフロップのクロック入力端子に供給され、入力パルスは前記パルス遅延素子

とD型フリップフロップのD入力端子との双方に供給され、前記排他的ORゲートの出力端子は合成回路側の1つの入力端子に接続され、この合成回路側はその、他の1つの入力端子でクロックパルスを受けて第1および第2出力信号を形成し、これら第1および第2出力信号の論理値はクロックパルスと入力パルスとが同相である場合にそれぞれ反対であり、クロックパルスが入力パルスに対して進んでいるか或いは遅れている場合には前記の第1および第2出力信号がそれぞれパルスの同じ第1および第2論理値を有するようになっていたことを特徴とする。

本発明の電気回路装置によれば、1クロック遅延されないパルス遅延素子や、D型フリップフロップや、排他的ORゲートや、合成回路側のような簡単な手段により、クロックパルスと入力パルス（これら入力パルスは必ずしも既知の周波数とする必要はない）とが同相である場合に直流電圧を生じる位相比較器を構成し、この直流電圧はクロックパルスと入力パルスとが位相外れ状態に

ある場合に前次のクロック周期中ステップ状に変化するようになっている。

本発明の実施例では、前記の合成回路が反転ANDゲートと、他のANDゲートと、反転ゲートとを具えており、これら3つのANDゲートの第1入力端子が前記の排他的ORゲートの出力端子に接続されており、前記の反転ANDゲートおよび前記のANDゲートの第2入力端子がそれぞれ直接および前記の反転ゲートを経てクロックパルスを受け、前記の第1および第2出力信号が前記の反転ANDゲートおよび前記のANDゲートの出力端子に得られるようにするのが好ましい。このようにした位相比較器は極めて簡単であり、且つ課せられた条件を完全に満足する。

入力パルスが規則的な周波数信号を形成している本発明による電気回路装置の他の例では、位相比較器がD型フリップフロップと排他的ORゲートとを具えており、前記D型フリップフロップのクロック入力端子にクロックパルスが供給され、このD型フリップフロップの出力端子は反転出力信号

Qに対してD入力端子に、出力信号Qに対して前記の排他的ORゲートの第1入力端子に接続され、この排他的ORゲートの第2入力端子は入力パルスを受け、この排他的ORゲートの出力端子およびクロックパルスに対する入力端子にそれぞれ第1および第2出力信号が得られ、これら第1および第2出力信号の論理値はクロックパルスと入力パルスとが同相である場合に反対であり、クロックパルスが入力パルスに対して進んでいるか或いは遅れている場合にこれら第1および第2出力信号がそれぞれパルスの間に同じ第1および第2論理値を有するようにする。

図面につき本発明を説明する。

第1図は本発明による位相比較器10を具える回路装置1の第1実施例を示し、この回路装置1は既知の電圧制御発振器VCOと分周器Nとを具えており、この分周器Nは発振器VCOによつて生ぜしめられる発振パルスを受けてこの発振パルスからそれよりも低周波のクロックパルスCKを生ぜしめ、これらのクロックパルスが位相比較

(11)

器10のクロックパルス入力端子に供給される。この比較器10は前記のクロックパルスCKを受けるD型フリップフロップ11を有し、その反転出力端子QはクロックパルスCKのパルス周波数の半分に等しいパルス周波数のパルス列CK*を生ぜしめるためにD入力端子に接続されている。クロックパルスCKおよびこれから取出されるパルス列CK*は第1b図に示されている。D型フリップフロップ11の出力端子Qは排他的ORゲート12の第1入力端子に接続され、この排他的ORゲートの第2入力端子には規則的な周波数信号を形成する入力パルス V_R が供給される。これらの入力パルスにより発振器VCOは所望周波数および所望位相に調整され、この状態に維持される。排他的ORゲート12の出力信号Uは、2つの状態に対し時間tの関数として第1b図に示してある。時刻 t_1 の前は発振器VCOが進んでおり(パルスCKが“早すぎ”)、時刻 t_2 では発振器VCOが遅れている(パルスCKが“遅すぎ”)。信号Uは時刻 $t-t_1$ に対して“0”レベルにあり、こ

(12)

のレベルの上に正のビーク“1”が生成されている。信号Uのパルス周波数は入力パルス V_R の2倍である。従つて、信号CKを信号Uに加えることにより(発振器VCOが同相にあつた場合に1リプルの無い制御電圧を発生せしめうる。図示の例では、2つの信号UおよびCKを抵抗R11およびR12(これらの抵抗の値は互いに等しくするのが好ましい)を経て相互接続点S1に供給することによりこれらの信号の加算を行なう。これにより得られる信号Sを(信号 V_R およびUと一緒)に第1b図に示す。信号UおよびCKが加算される結果、周波数および位相調整のみが制御電圧にリップルを生ぜしめるようになる。(発振器VCOが進んでいる場合には、信号Sは、論理値“0”および“1”のレベル間の中間の直流信号レベルと、クロックパルスCKと同じパルス周波数で論理値“0”のレベルを有する負パルス P_N とを生成したものから成る。発振器VCOが遅れている場合には、信号Sは、クロックパルスCKと同じ周波数で論理値“1”のレベルを有する正パル

(13)

(14)

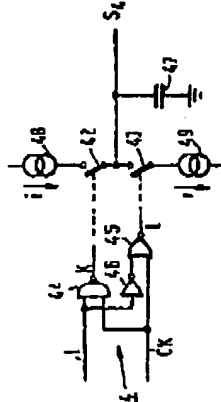
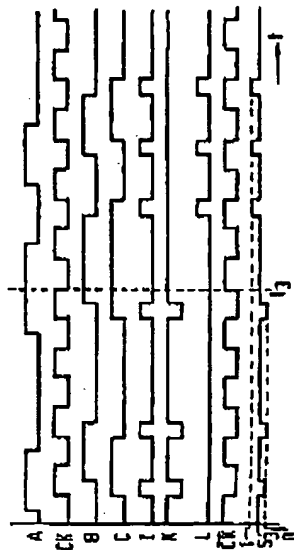
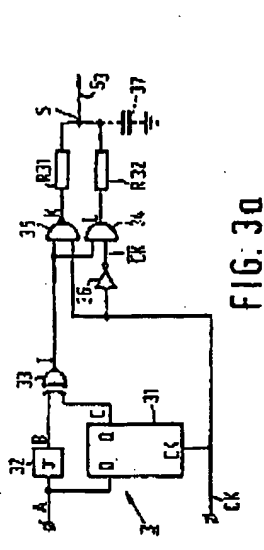
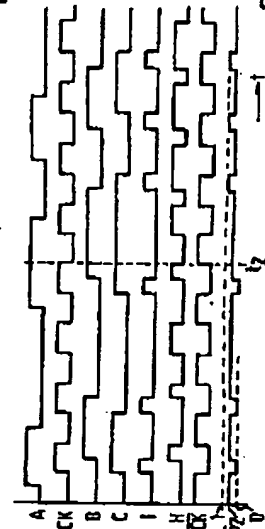
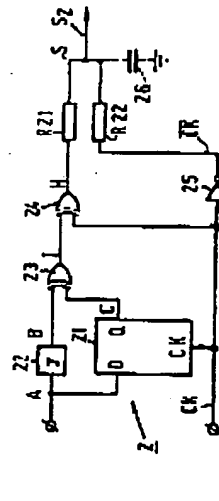
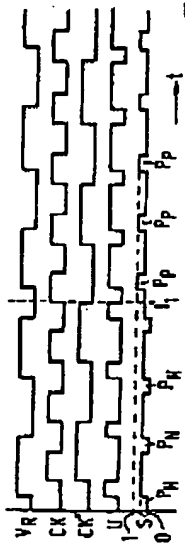
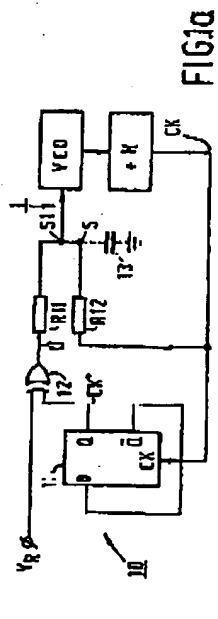


FIG. 4

第1頁の続き

②発明者

アルベルト・マリア・

オランダ国5621 ベーアー アインドーフエン フルーネ

アルノルド・リエイク

ヴァウツウエツハ1

カート